

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-83780

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl. ⁵ G 0 6 F 15/16 13/366	識別記号 3 2 0 G 8840-5L 5 1 0 C 9072-5B	府内整理番号 F I	技術表示箇所
---	--	---------------	--------

審査請求 未請求 請求項の数1(全7頁)

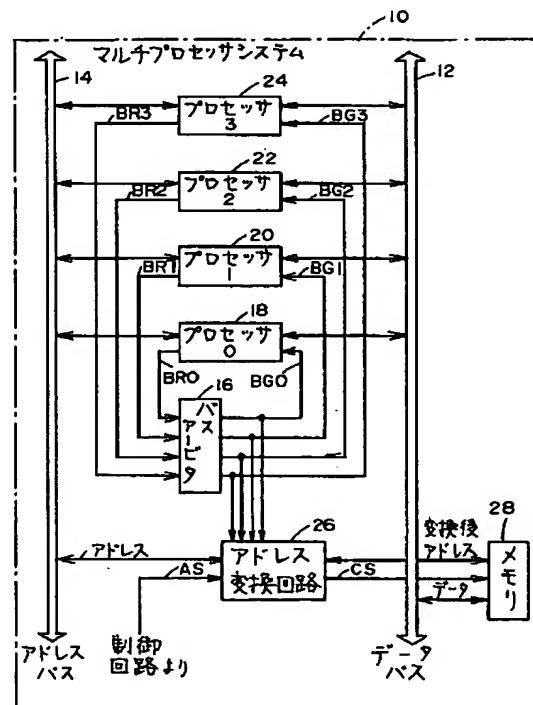
(21)出願番号 特願平4-234758	(71)出願人 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日 平成4年(1992)9月2日	(72)発明者 三宅 俊光 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内
	(72)発明者 小林 稔史 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内
	(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 マルチプロセッサシステム

(57)【要約】

【目的】 メモリを共有する複数個のプロセッサを含むマルチプロセッサシステムにおいて、同一プログラムを実行する各プロセッサで、各プロセッサ毎の固有情報を必要十分な量だけ利用可能にする。

【構成】 各プロセッサ18、20、22、24のバス要求信号BR0～BR3をバスアービタ16で調停し、バス使用許可信号BG0～BG3を出力する。アドレス変換回路26は、アドレスバス14からのアドレス信号が所定の条件を満足するときに、バスアービタ16の出力に基づいてアドレス信号の一部を変換し、変換後アドレスとしてメモリ28に与える。各プロセッサ18、20、22、24が同一のアドレスを出力したとしても、メモリ28にアクセスする物理アドレスは異なったものとなる。



【特許請求の範囲】

【請求項1】 複数個のプロセッサと、前記複数個のプロセッサが共通にアクセスする被アクセス装置とが接続されるデータバスおよびアドレスバスと、
前記複数個のプロセッサの各々にそれぞれ1本ずつ割り当てられる複数本のバス使用要求信号線および複数本のバス使用許可信号線と、
前記複数個のプロセッサの各々が、前記被アクセス装置へのアクセスに先立って、対応する前記バス使用要求信号線上に出力するバス使用要求信号を調停して、前記複数個のプロセッサの各々に、前記データバスの使用の許否を示すバス使用許可信号を前記バス使用許可信号線を介して出力するための調停手段と、
前記アドレスバスと前記被アクセス装置との間に設けられ、前記調停手段の出力と、前記アドレスバス上のアドレス信号とに基づいて、前記アドレス信号の一部を変換して前記被アクセス装置に与えるためのアドレス変換手段とを含む、マルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、バスを共有するマルチプロセッサシステムに関し、特に、独立したバス使用許可信号線を用いるマルチプロセッサシステムにおいて、同一プログラムを実行するプロセッサ毎に異なる処理を実行させることができたシステムに関する。

【0002】

【従来の技術】 マルチプロセッサシステムにおいて、システムをコンパクト化するために、たとえば複数個のプロセッサにROM(読み専用メモリ)を共有させ、そこに実行すべきプログラムを格納させる手法がある。そのようなシステムでは各プロセッサは同一のプログラムを実行する。

【0003】 この場合、各プロセッサ毎に動作を異ならせる必要が生ずる場合がある。ところが、各プロセッサは同一のプログラムを実行しているために、各プロセッサ毎に異なる動作をするハードウェアがないと各プロセッサの固有の処理に移ることができない。

【0004】 各プロセッサ固有の動作を行なわせるための従来の一手法は、プロセッサ毎にリセットベクタ設定スイッチを備えさせることである。各プロセッサがリセット時に実行するプログラムのアドレスは決まっており、そのアドレスはリセットベクタと呼ばれる。このリセットベクタをプロセッサ外部の回路により変更可能としたハードウェアがリセットベクタ設定スイッチである。各プロセッサ毎にリセットベクタ設定スイッチによりリセットベクタを変えれば、各プロセッサ毎に起動時のプログラムを変えることができる。

【0005】 従来の他の手法は、プロセッサ毎にアドレスデコーダを持たせる方法である。この場合、共有されるプログラムは、或る特定のアドレスからプロセッサ固

有情報を得るようにプログラミングされる。各プロセッサ毎に用意されたアドレスデコーダは、そのプロセッサが outputするアドレスから、実際にアクセスするメモリを選択する。のために、各プロセッサ毎にアドレスデコーダを持たせれば、各プロセッサが同一のアドレスを出力した場合でも、実際にアクセスするメモリを変えることができる。したがってプログラムを上述のように作成しておけば、各プロセッサは或る特定のアドレスから、互いに異なるメモリへのアクセスを行ない、互いに異なるプロセッサ固有情報を得ることができる。

【0006】 ところが、これら的方式では、各プロセッサ単位でリセットベクタ設定スイッチを備えたり、アドレスデコーダを備えたりする必要がある。のために各プロセッサ毎にハードウェアが増加してしまうという短所があった。

【0007】 この短所を解決するための提案が、特開昭60-33656号公報に開示されている。この提案は「マルチプロセッサシステムのプロセッサ認識方式」という名称である。

【0008】 図4を参照して、特開昭60-33656号公報に開示されたマルチプロセッサシステムは、各プロセッサ毎に独立に割り当てる複数本のバス要求信号線70と、バス要求信号が入力されるバスアービタ62と、バスアービタ62から各プロセッサに対してバス使用許可信号が与えられるバス使用許可信号線72と、バスアービタ62の出力と、バスの使用が許可されたプロセッサから入力されるアドレス信号とから、そのプロセッサに対してそのプロセッサを特定するためのプロセッサ固有情報をデータバス上に出力するためのプロセッサ認識用回路60とを含む。バスアービタ62は、バス要求信号線70を介して各プロセッサから入力されるバス要求信号BR0ないしBRiを調停し、1つのプロセッサについてはバス使用を許可する信号を、他のプロセッサにはバス使用を禁止する信号を、それバース使用許可信号BG0ないしBGiとして出力するためのものである。

【0009】 プロセッサ認識用回路60は、アドレスデコーダ68と、バス使用許可信号BG0~BGiをエンコードするためのエンコーダ64と、エンコーダ64の出力をラッチし、アドレスデコーダ68の制御によってデータバス上に送出するためのラッチ回路66とを含む。

【0010】 バスアービタ62は、バス要求信号BR0ないしBRiを調停し、1つのプロセッサにはバスの使用権を認める(アサート)信号を、他のプロセッサにはバスの使用を禁止する信号を、それバース使用許可信号BG0ないしBGiとして出力する。このバース使用許可信号BG0ないしBGiはエンコーダ64にも入力される。

【0011】 エンコーダ64は、入力されるバース使用許

可信号BG0ないしBGiをエンコードし、出力をラッチ回路66に与える。ラッチ回路66は、バス使用許可信号BG0ないしBGiのいずれかがアサートされるタイミングでエンコーダ64の出力をラッチする。アドレスデコーダ68は、入力されるアドレス信号が特定アドレスを示すことに応答して、ラッチ回路66の出力をイネーブルにする。これにより、ラッチ回路66にラッチされていたエンコーダ64の出力がデータバス上に出力される。

【0012】上述のようなプロセッサ認識用回路60を有するマルチプロセッサシステムにおいて、各プロセッサが自己を認識するための情報を得る場合には次のような動作を行なう。たとえば、バス要求信号BR0およびバス使用許可信号BG0に対応するプロセッサの動作について考える。まずこのプロセッサはバス要求信号BR0をバスアービタ62に与える。次にバスアービタ62からのバス使用許可信号BG0によってバスの使用権が確保されたことを確認し、アドレスバス上に予め定められた特定のアドレス信号を出力する。

【0013】エンコーダ64は、バス使用許可信号BG0がアサートとなったことに応答し、バス使用許可信号をエンコードしてラッチ回路66に与える。エンコーダ64の出力は、バス使用許可信号BG0ないしBGiのいずれがバスの使用を認めるものかによって異なってくる。ラッチ回路66はエンコーダ64の出力をラッチする。アドレスデコーダ68は、入力されるアドレス信号が特定のアドレスであることに応答してラッチ回路66の出力をイネーブルにする。データバス上に送出されたデータはバス使用許可信号BG0ないしBGiのいずれがバスの使用を許可する値であるかによって異なつてするために、データバス上に送出されるデータは各プロセッサ毎に異なる値となる。したがって各プロセッサが特定のアドレスにアクセスすることにより自己がいずれのプロセッサであるかを認識することができる。この認識結果によって、プログラム中で異なる動作を行なうように制御を分岐させれば、各プロセッサ毎に異なる処理を、同一のプログラムで実行することができる。

【0014】

【発明が解決しようとする課題】上述の特開昭60-33656号公報に示されているマルチプロセッサシステムでは、各プロセッサ毎に得られる情報は、バス使用許可信号をエンコードして得られる値のみである。バス使用許可信号は各プロセッサに1つずつ割り当てられたものであり、その信号をエンコードして得られる値の種類は、せいぜいプロセッサを識別するに足る程度のものであって、プロセッサに与えられる情報量としては不十分である。それ以上の情報を得ようとする場合には、各プロセッサが自己を認識した後に、さらにプロセッサ固有情報を確保するための手続を、認識結果によって別個に行なう手続が必要となる。

【0015】この発明は上記のような問題点を解消するためになされたもので、同一のプログラムを実行する複数のプロセッサを含むマルチプロセッサシステムにおいて、共通のハードウェアを用いて、各プロセッサが同一プログラムを実行しながら必要十分なプロセッサ固有情報を利用することを可能にできるマルチプロセッサシステムを提供することを目的とする。

【0016】

【課題を解決するための手段】請求項1に記載のマルチプロセッサシステムは、複数個のプロセッサと、これらプロセッサが共通にアクセスする被アクセス装置とが接続されるデータバスおよびアドレスバスと、プロセッサの各々にそれぞれ1本ずつ割り当たられる複数本のバス使用要求信号線および複数本のバス使用許可信号線と、プロセッサの各々が、被アクセス装置へのアクセスに先立つて対応するバス使用要求信号線上に出力するバス使用要求信号を調停して、プロセッサの各々に、データバスの使用の許否を示すバス使用許可信号をバス使用許可信号線を介して出力するための調停手段と、アドレスバスと被アクセス装置との間に設けられ、調停手段の出力と、アドレスバス上のアドレス信号とに基づいて、アドレス信号の一部を変換して被アクセス装置に与えるためのアドレス変換手段とを含む。

【0017】

【作用】この発明におけるマルチプロセッサシステムでは、各プロセッサが同一のプログラム上で同一アドレス空間をアクセスする場合に、どのプロセッサがバスを使用しているかを示す調停手段の出力に従つて、アドレス信号の一部が変換して被アクセス装置に与えられる。そのため、各プロセッサは実際には各プロセッサ毎に異なる物理アドレスへアクセスする。

【0018】

【実施例】図1は、本発明の一実施例のマルチプロセッサシステム10のブロック図である。図1を参照して、このマルチプロセッサシステム10は、データバス12およびアドレスバス14と、それぞれデータバス12およびアドレスバス14に接続された4つのプロセッサ18、20、22、24と、プロセッサ18、20、22、24からバス要求信号BR0ないしBR3を受け、40バス使用許可信号BG0ないしBG3をプロセッサ18、20、22、24に与えるためのバスアービタ16と、バスアービタ16の出力とアドレスバス14から与えられるアドレス信号とに基づいて、アドレス信号の一部を変換して出力するためのアドレス変換回路26と、アドレス変換回路26を介してアドレスバス14に接続されるとともに、データバス12にも接続されているメモリ28とを含む。

【0019】アドレス変換回路26には、図示されない制御回路からアドレスストローブ信号ASが与えられる。またアドレス変換回路26は、入力されるアドレス

信号をデコードしてメモリ28に対してチップセレクト信号CSを与える。

【0020】図2を参照して、アドレス変換回路26は、バスアービタ16の出力に接続されたエンコーダ40と、アドレス信号A0ないしA19およびアドレスストローブ信号ASを受けて、アドレス信号A0～A19が、後述するような所定の条件を満足する場合にチップセレクト信号CSを出力するためのアドレスデコーダ42と、アドレス信号A0～A31の一部のアドレス信号A20、A21と、エンコーダ40の出力B20、B21とを受け、アドレスデコーダ42からのチップセレクト信号CSの値に従って、アドレス信号A20、A21またはエンコーダ40の出力B20、B21のいずれか一方をアドレス信号AO20、AO21として出力するためのマルチプレクサ44とを含む。マルチプレクサ44の出力は、入力されるアドレス信号のA20、A21と置換され、変換後のアドレスの一部となる。アドレス信号の他の部分A0～A19、A22～A31は何ら変更を受けず、そのまま変換後アドレス信号AO0～AO19およびAO22～AO31として出力される。

【0021】エンコーダ40において行なわれるエンコードの内容は次のように設定されている。

【0022】

【表1】

アサートされた バス使用許可信号	エンコーダ出力	
	B20	B21
BG0	0	0
BG1	0	1
BG2	1	0
BG3	1	1

【0023】また、図1に示されるメモリ28のアドレスマップは図3に示されるようになっている。すなわちアドレス0～400(H)にはプロセッサ0(18)のメモリ空間が、アドレス400(H)～800(H)にはプロセッサ1(20)のメモリ空間が、アドレス800(H)～C00(H)にはプロセッサ2(22)のメモリ空間が、アドレスC00(H)～1000(H)にはプロセッサ3(24)のメモリ空間が、それぞれ予め準備されている。アドレス1000(H)以上はプロセッサ18、20、22、24の共有空間である。各プロセッサ毎に準備されたメモリ空間には、各プロセッサ毎

に固有の情報が予め格納されている。

【0024】図1～図3に示されるマルチプロセッサシステムは次のように動作する。プロセッサ18、20、22、24は、各プロセッサに固有の情報を得ようとする場合、まずバス要求信号BR0、BR1、BR2、BR3をそれぞれ出力し、バスアービタ16に与える。バスアービタ16は、これらのバス要求を調停し、バス使用を許可するプロセッサに対応するバス使用許可信号をアサートとする。すなわちバスアービタ16は、バス使用許可信号BG0～BG3のいずれか1つをアサートとする。以下の説明では、たとえばプロセッサ0(18)に対するバス使用が許可されたものとする。

【0025】バスの使用権を得たプロセッサ18は、アドレスバス14上にアドレス信号を出力する。この場合、プロセッサ0に固有の情報を得るためのアドレスA0～A31としては、A0～A19にすべて“0”が設定されているものとする。アドレス信号A22～A31には、アクセスするアドレスの16進表示で400の大きさのアドレス空間に対応するアドレス信号がセットされている。このアドレス空間は、図3に示されるプロセッサ0のためのメモリ空間の大きさに対応するものである。

【0026】図2を参照して、バス使用許可信号BG0～BG3はエンコーダ40にも与えられる。エンコーダ40は、入力されるバス使用許可信号BG0～BG3をエンコードし、2ビットの信号B20、B21をマルチプレクサ44に与える。現在の説明ではバス使用許可信号BG0がアサートとされているために、B20、B21の値は表1からそれぞれ0、0となる。

【0027】一方アドレスデコーダ42には、アドレス信号A0～A31のうちの上位20ビットA0～A19が与えられる。アドレスデコーダ42は、このアドレス信号A0～A19がすべて0の場合にはチップセレクト信号CSをアサートとし、それ以外の場合にはネガートするように設定されている。マルチプレクサ44は、チップセレクト信号CSがアサートされた場合にはエンコーダ40の出力を、それ以外の場合にはアドレス信号A20、A21をそれぞれ選択して出力する。これにより、アドレス信号の上位20ビット(A0～A19)がすべて0の場合には、バス使用許可信号のエンコード結果B20、B21が変換後アドレスAO0～AO31の第21、22ビット(AO20、AO21)となる。

【0028】以上のようにアドレス信号をバス使用許可信号のエンコード結果を用いて一部変換することにより、各プロセッサが同一アドレスを出力した場合であっても、変換後アドレスは互いに異なったものとなり、プロセッサ毎にアクセスされる実アドレスは異なってくる。エンコーダ40が表1に示されるように設定されており、上述のように各プロセッサ固有の情報を得る場合50にはアドレス信号A0～A19にはすべて0を設定し、

アドレス信号A22～A31には0(H)～3FF(H)の任意の値を設定できる。この場合、変換後アドレス信号AO0～AO31によりプロセッサ0(18)、プロセッサ1(20)、プロセッサ2(22)、およびプロセッサ3(24)にはそれぞれ、0(H)～3FF(H)、400(H)～7FF(H)、800(H)～BFF(H)、およびC00(H)～FFF(H)が割り当てられ、ちょうど図3の各プロセッサ毎のメモリ空間をアクセスすることができる。

【0029】このようにバス使用許可信号をエンコードし、そのエンコード結果でアドレス信号の一部を置換することにより、各プロセッサ毎に固有のメモリ空間を割り当てることができる。上述のようにアドレスデコーダ42としてアドレスの上位20ビットがすべて0の場合のみこのような置換を行なうようにすれば、必要なときのみ各プロセッサ毎のメモリ空間をアクセスすることができる。一定の大きさを有するメモリ空間が各プロセッサ毎に割り当てられ、しかもそのメモリ空間内の任意のアドレスをアクセスすることができるために、従来のプロセッサ認識用回路を用いる場合と比較して、必要十分な大きさの情報量をメモリから各プロセッサ毎に一度に読出しができる。また、アドレス信号のうち置換するビット位置を変化させることにより、各プロセッサ毎に割り当てられるメモリ空間の大きさも変化させることができる。

【0030】以上、本発明を一実施例を参照しながら説明した。しかし本発明は上述の実施例には限定されない。たとえば、上述の実施例ではマルチプロセッサシステムに接続されるプロセッサの数は4個であったが、プロセッサの数としては4個に限定されない。また、アドレス信号のうち置換されるビット数は2ビットであったが、このビット数も2ビットには限定されない。接続されるプロセッサの数が多くなれば、置換のためのビット数も多くなる。また、エンコーダ40の設定は、アサートされたバス使用許可信号によってその出力がすべて異なるようになっていたが、エンコーダ40の設定はそのようなものには限定されない。たとえば、特定の2つのバス使用許可信号のいずれかがアサートされた場合に、同一の出力を行なうようなものであってもよい。この場合には、アサートされたバス使用許可信号を受けるプロセッサで行なわれる処理が同一のものであることが前提

となる。

【0031】

【発明の効果】以上のように請求項1に記載の発明によれば、各プロセッサがプログラム上で同一アドレス空間をアクセスしようとする場合であっても、どのプロセッサにバス使用権が与えられているかによってそのアドレスが変換されるために、実際に各プロセッサがアクセスする被アクセス装置の物理アドレスは互いに異なつものとなる。したがって、各プロセッサが同一プログラムを実行していたとしても、それぞれ別個のプロセッサ固有情報を得ることができる。各プロセッサに割り当てられるアドレス空間の大きさは必要に応じて変更できるために、各プロセッサ毎に必要十分なプロセッサ固有情報を得ることができる。また各プロセッサには、このようなアクセスを行なうための特別なハードウェアを設ける必要はない。

【0032】その結果、各プロセッサとは別の共通のハードウェアを用いて、各プロセッサが同一プログラムを実行しながら必要十分な量のプロセッサ固有情報を利用することができるマルチプロセッサシステムを提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例のマルチプロセッサシステムのブロック図である。

【図2】アドレス変換回路のブロック図である。

【図3】本発明の一実施例のメモリのアドレスマップを示す模式図である。

【図4】従来のプロセッサ認識用回路のブロック図である。

【符号の説明】

10 マルチプロセッサシステム

12 データバス

14 アドレスバス

16 バスアービタ

18、20、22、24 プロセッサ

26 アドレス変換回路

28 メモリ

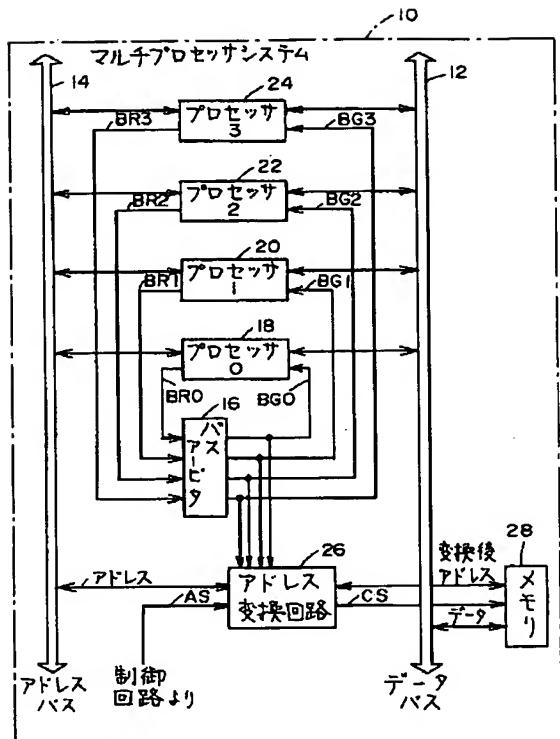
40 エンコーダ

42 アドレスデコーダ

44 マルチプレクサ

40

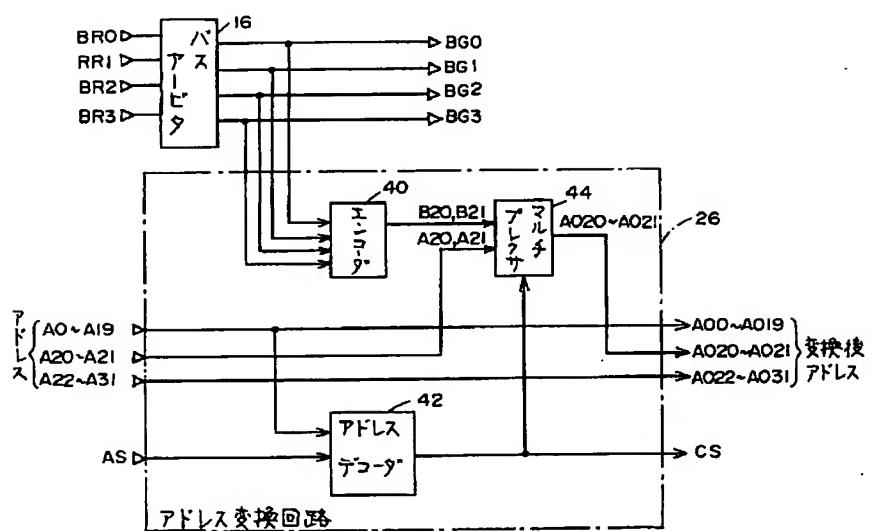
【図1】



【図3】

アドレス	
0	アロセッサ0の メモリ空間
400(H)	アロセッサ1の メモリ空間
800(H)	アロセッサ2の メモリ空間
C00(H)	アロセッサ3の メモリ空間
1000(H)	共有空間

【図2】



【図4】

